

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2001-174526  
(P2001-174526A)

(43)公開日 平成13年6月29日(2001.6.29)

(51) Int.Cl.<sup>7</sup>

### 識別記号

F I  
G 01 R 31/28

### テマコト<sup>\*</sup>(参考)

(22)出願日 平成12年10月31日(2000. 10. 31)  
(31)優先権主張番号 09/439865  
(32)優先日 平成11年11月12日(1999. 11. 12)  
(33)優先権主張国 米国(US)

(71)出願人 390005175  
株式会社アドバンテスト  
東京都練馬区旭町1丁目32番1号  
(72)発明者 菅森 茂  
アメリカ合衆国95054カリフォルニア州サンタクララ市スコット通3201

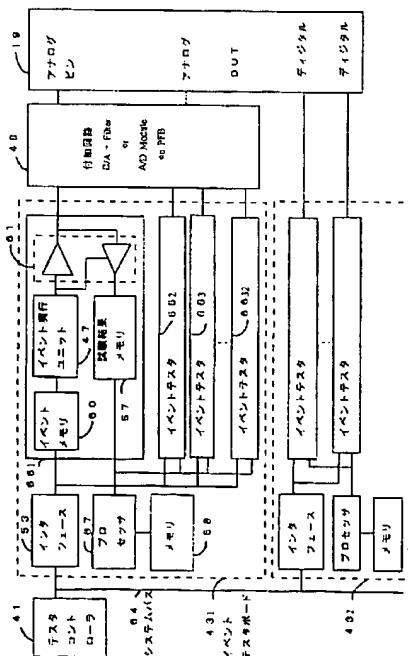
(54) 【発明の名称】 混成信号集積回路用半導体試験システム

(57) 【要約】

【課題】各種の異なるタイプの試験装置をモジュール化してそれらの複数個を組み合わせることにより、アナログ信号とデジタル信号の混在したミクストシグナル集積回路であってもその試験を迅速かつ効率よく試験できる半導体試験システムを提供する。

【解決手段】2以上のある種類の性能を有するテストモジュールと、その異なる種類の性能を有する2種以上のテストモジュールを2個以上組み合わせて搭載するテストヘッドと、テストモジュールと被試験デバイスを電気的に接続する手段と、そのテストモジュールと被試験デバイス間に、その被試験デバイスのアナログ機能ブロックに対応して設けられた付加回路と、そのテストヘッドに搭載された上記テストモジュールとシステムバスを介して通信することにより、システム全体の動作を制御するホストコンピュータとにより構成される。

〔四〕 4



## 【特許請求の範囲】

【請求項1】 2以上の異なる種類の性能を有するテストモジュールと、

その異なる種類の性能を有する2種以上のテストモジュールを2個以上組み合わせて搭載するテストヘッドと、そのテストヘッド上に設けられ、テストモジュールと被試験デバイスを電気的に接続する手段と、

そのテストモジュールと被試験デバイス間に、その被試験デバイスのアナログ機能ブロックに対応して設けられた付加回路と、

そのテストヘッドに搭載された上記テストモジュールとシステムバスを介して通信することにより、システム全体の動作を制御するホストコンピュータと、により構成され、被試験デバイスのアナログ機能ブロックとデジタル機能ブロックを同時に平行して試験するように構成した混成信号集積回路用半導体試験システム。

【請求項2】 上記テストモジュールの1の種類の性能は高速度で高タイミング確度であり、他の種類の性能は低速度で低タイミング確度である請求項1に記載の混成信号集積回路用半導体試験システム。

【請求項3】 上記テストモジュールと被試験デバイスを電気的に接続する手段と上記テストモジュールとの接続仕様が標準化された請求項1に記載の混成信号集積回路用半導体試験システム。

【請求項4】 上記テストモジュールと被試験デバイスを電気的に接続する手段は、被試験デバイスを搭載する機構を設けたパフォーマンスボードと、そのパフォーマンスボードと上記テストモジュール間を電気的接続するための機構を有するテストフィックスチャにより構成される請求項1に記載の混成信号集積回路用半導体試験システム。

【請求項5】 上記テストモジュールは所定のテストピン数となるようにそのピン数の設定変更ができる請求項1に記載の混成信号集積回路用半導体試験システム。

【請求項6】 上記テストモジュールは所定のテストピン数となるようにそのピン数の設定変更ができ、その設定や変更はホストコンピュータからのアドレス設定によりされる請求項1に記載の混成信号集積回路用半導体試験システム。

【請求項7】 上記テストモジュールのそれぞれは複数のイベントテスタボードを有し、その各イベントテスタボードは所定数のテストピン用に割り当てられている請求項1に記載の混成信号集積回路用半導体試験システム。

【請求項8】 上記テストモジュールはその1のモジュールが1のイベントテスタボードである請求項7に記載の混成信号集積回路用半導体試験システム。

【請求項9】 上記テストモジュールはそれぞれその内部にコントローラを有し、上記ホストコンピュータから

の指令に基づき各モジュールからテストパターンの発生と被試験デバイスからの出力信号の検証を行う請求項1に記載の混成信号集積回路用半導体試験システム。

【請求項10】 上記テストモジュールは複数のイベントテスタボードからなり、それぞれそのイベントテスタボードはコントローラを有し、上記ホストコンピュータからの指令に基づき各ボードから対応する被試験デバイスピンにテストパターンを与える被試験デバイスからの出力信号の検証を行う請求項7に記載の混成信号集積回路用半導体試験システム。

【請求項11】 上記テストモジュールのそれぞれは複数のイベントテスタボードを行し、その各イベントテスタボードは1のテストピン用に構成されており、かつその各イベントテスタボードは、

上記ホストコンピュータからの指令に基づき各テスタボードからテストパターンの発生と被試験デバイスからの出力信号の検証を行うコントローラと、

各イベントのタイミングデータを格納するためのイベントメモリと、上記コントローラの制御のもとに、そのイベントメモリにアドレスデータを与えるアドレスシーケンサと、

そのイベントメモリからのタイミングデータに基づいてテストパターンを形成する手段と、

そのテストパターンを対応する被試験デバイスピンに与えその被試験デバイスからの応答出力信号を受けるドライバコンパレータと、

により構成される請求項1に記載の混成信号集積回路用半導体試験システム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は超LSI等の半導体集積回路を試験するための半導体試験システムに関し、特にアナログ信号とデジタル（ロジック）信号の混在したミクストシグナル集積回路であってもその試験を迅速かつ効率よく試験できるイベントテスターアーキテクチャによる半導体試験システムに関する。本発明の半導体試験システムは、同一または異なる性能のテストモジュールを複数個任意に組み合わせて試験システムを構成し、各テストモジュールは相互に独立して並列に動作することにより、被試験デバイスのアナログ信号部とデジタル信号部を同時に試験することができる。

## 【0002】

【従来の技術】 超LSI等の半導体集積回路（以後必要に応じて「被試験デバイス」ともいう）を試験するための半導体試験システム（I Cテスタと通称される）の典型的な構成例を第1図に示す。

【0003】 第1図において、テストプロセッサ11は試験装置内に設けられた専用プロセッサであり、試験装置の動作をテスタバスを経由して制御する。パターン発生器12はテスタプロセッサからのパターンデータに基

づき、タイミングデータと波形データを、それぞれタイミング発生器13、波形整形器14に与える。パターン発生器12からの波形データとタイミング発生器13からのタイミング信号により、試験パターン（テストパターン）が波形整形器14により形成され、ドライバ15を経由して、被試験デバイス（DUT）19に印加される。

【0004】DUT19からの結果としての応答出力は、アナログコンパレータ16により、所定のスレッショルドレベルで論理信号に変換され、ロジックコンパレータ17において、パターン発生器12で形成された期待値と論理比較される。比較結果はDUT19のアドレスに対応して、フェイルメモリ18に記憶される。ドライバ15、アナログコンパレータ16および、被試験デバイスのピンを切り替えるスイッチ（図示せず）等はピンエレクトロニクス20に設けられている。

【0005】上記のような回路構成は、半導体試験装置のテストピン毎に設けられる。したがって、大型の半導体試験装置では例えば256テストピンから2048テストピンのようにその数が大きい場合、第1図の回路構成をそれと同数備えることにより、非常に大型の装置となる。第2図はそのような半導体試験システムの外観の概略を示している。半導体試験システムはメインフレーム22と、テストヘッド24と、ワクステーション26で構成されている。

【0006】ワクステーション26は例えばグラフィック・ユーザ・インターフェース（GUI）を備え、使用者と試験システムのインターフェースをするためのコンピュータであり、試験システムの操作やテストプログラムの作成や実行の指示を行う。メインフレーム22には、第1図におけるテストプロセッサ11、パターン発生器12、タイミング発生器13、波形整形器14およびロジックコンパレータ17等が各テストピン数に応じて搭載される。

【0007】テストヘッド24には第1図のピンエレクトロニクス20を搭載した回路基板が多数装備されている。テストヘッド24は例えば円筒状に形成されて、その内部にピンエレクトロニクス回路基板が放射状に装備されている。そのテストヘッドの上面には、被試験デバイス19が、パフォーマンスボード28上の中央部において、例えば試験ソケットに挿入される。

【0008】ピンエレクトロニクス回路とパフォーマンスボード28間は、電気信号を伝達するための接触機構であるピン（テスト）フィックスチャ27が設けられている。ピンフィックスチャ27には多数のポゴピン等が設けられて、ピンエレクトロニクスとパフォーマンスボードを電気的に接続する。被試験デバイス19は、ピンエレクトロニクスからの試験パターンを受けて、それに対する応答信号を送出する。

【0009】ところで従来の半導体試験システムでは、

被試験デバイスに印加するための試験パターンを形成するために、いわゆるサイクルベース形式で記述された試験データを用いている。サイクルベース形式では、テストパターンの各変数は、テストの各試験サイクル（テストレート）との関係で定義されている。すなわち、試験データに含まれる、試験サイクル（テストレート）記述、波形（波形種類、エッジタイミング）記述、およびベクタ記述を用いて、所定のサイクルにおけるテストパターンを形成している。

10 【0010】一方、被試験デバイスの設計時においては、コンピュータ支援による設計（CAD）手法が用いられ、その設計の検証にはテストベンチによる論理シミュレーションが行われ、その検証データが得られる。このテストベンチによるデータはいわゆるイベント形式で記述されている。イベント形式においては、注目するテストパターンが1から0にあるいは0から1にスイッチするときのその変化点（イベント）を、時間の経過との関係で現している。時間の経過は、例えばある基準点からの連続した絶対的時間差として、あるいは直前のイベントからの相対的時間差として現されることが一般である。

20 【0011】このようなサイクルベースの試験データによる試験パターン形成と、イベントベースの試験データによる試験パターンの形成の比較については、本発明の発明者等による米国特許出願番号09/340,371記載されている。さらに、本出願の発明者等は新たな形式の半導体試験装置としてイベントテストを提案している。このイベントテストの構成や動作については、米国特許出願番号09/406,300に詳述されている。

30 【0012】半導体試験システムにおいては、上述のように多数の同一回路基板等がテストピン数と同数あるいはそれ以上装備され、大規模なシステムを構成している。従来の半導体試験システムでは、これらの回路基板等は全て同一構成、同一性能で構成されている。

【0013】すなわち、高速高性能な試験システム、例えば500MHzのテストレートでタイミング確度80ピコセカンドの仕様による場合は、テストピンに対応する全ての回路基板がこの性能を満たすように同一に構成される。このため半導体試験システム全体としてのコストが非常に高くなる。また全て同一の回路を各テストピンに実装するので、試験システムは画一的な試験内容しか実施できない。

40 【0014】被試験デバイスには、アナログ機能とデジタル機能の混在したタイプのものがある。その典型的な例としては、オーディオ用ICや通信機器用ICのようなA/D変換器やD/A変換器とデジタル信号処理回路を含む被試験デバイスがある。従来の半導体試験システムでは、1のシステムが1の機能試験のみをすることができるよう構成されている。したがって、上記のような50 ミクストシグナル集積回路を試験する場合は、A/D変換

器の試験の後にD A変換器の試験を行い、さらにその後にデジタル信号処理回路を試験する等、各機能ブロックについての試験を個別に行う必要があった。

【0015】被試験デバイスがロジックでのみ構成される場合であっても、全ての入出力ピンにおいて、最高性能を要することはほとんどまれである。例えば、非常に高速な動作をし、そのため高速な試験信号を与える必要があるピンはわずか数ピンであり、他の数百ピンは低速な動作のみを行うため、低速な試験信号を与えるべきようなL S Iデバイスが一般的である。また最近特に注目されているシステムオンチップ(SoC)のような半導体デバイスも、上記のような信号速度の関係が当てはまる。

【0016】このように、従来の半導体試験システムは、異なる種類の試験を同時に平行に行うことはできないため、特にミクストシグナル被試験デバイスの試験に長時間を要する欠点があった。また現実の被試験デバイスのわずかのピンでのみ必要とする性能を全てのテストピンに備えているため、全体のコストが高くならざるを得なかった。

【0017】従来の半導体試験システムにおいて、上記のように同一回路構成を多数搭載する理由、すなわち異なる回路構成を混在させて異なる複数の試験を並列に行うようにしていなかった理由の1つは、上述したサイクルベースにより試験パターンを形成するようにシステムが構成されているからである。サイクルベースにより試験パターンを形成する方式では、ソフトウェアやハードウェアが複雑になり、異なる回路構成を混在させることは実際上困難だからである。

【0018】その理由を説明するために、ここでサイクルベースの試験データを用いて試験パターンを形成する場合と、イベントベースの試験データを用いて同一の試験パターンを形成する場合の比較を第3図の波形等を用いて簡単に示す。より詳細には本出願と同じ譲受人の有する上記の米国特許出願に記載されている。

【0019】第3図の例では、半導体デバイスの設計段階で得られた、論理シミュレーションの結果データを格納したダンプファイル37からのデータを利用して試験パターンを形成する場合を示している。そのダンプ出力データは、設計したL S Iデバイスの入出力信号変化とその時間をイベントベースで現わしたデータであり、例えば波形31を表現するような場合、右下部の記述38のようになっている。

【0020】その記述に基づいて、波形31に示すようなテストパターンを形成することを想定する。この波形31では、ピン(テスタピンあるいはテストチャンネル)S aとS bから発生されるテストパターンの波形が描かれている。この波形を表現するための、イベントデータは、記述38に示すように、各イベントをセットエッジS a n、S b nとそのタイミング(例えば基準点か

らの時間の経過)、およびリセットエッジR a n、R b nとそのタイミングで記述されている。

【0021】従来の半導体試験装置で使用するサイクルベース方式によりテストパターンを形成するためには、試験データを試験サイクル(テスター)、波形(波形種類、エッジタイミング)、およびベクタの各記述に分けて構成する必要がある。その記述例を第3図中央部および左部に示す。サイクルベースのテストパターンの場合、左部の波形33のように、テストパターンを各試験サイクル(T S 1、T S 2、T S 3)に分けて、その試験サイクルの中で各波形とそのサイクル内での遅延時間(10)を定義する。

【0022】そのための波形、タイミングおよび試験サイクルのデータ記述例が、タイミングデータ(テストプラン)36に示されており、その波形の"1"または"0"あるいは"Z"等の論理がベクタデータ(パターンデータ)35に示されている。例えばタイミングデータ36では、試験サイクルが"rate"としてその時間間隔が規定され、波形種類はR Z(リターンゼロ)、N R Z(ノンリターンゼロ)、X O R(排他論理)等で規定される。さらに各波形のタイミングが、該当する試験サイクルのエッジからの遅延時間として規定される。

【0023】このように従来の半導体試験システムでは、サイクルベースでテストパターンを形成するため、パターン発生器、タイミング発生器あるいは波形整形回路のハードウェア構成が複雑となっており、またそれらハードウェアで使用するソフトウェアも複雑となっている。また各ピン(上例のS aとS b)間が共通のテストサイクルで扱われるため、各ピン間で異なるサイクルの20)テストパターンを同時に発生することは困難である。

【0024】したがって、従来の半導体試験システムでは、全てのテストピンについて同一の回路構成を採用しており、異なる性能のボードを混在させることは困難であった。このため、アナログ機能ブロックについての試験とロジック機能ブロックについての試験を同時に平行して行うことは困難であった。また例えば高速タイプの回路構成を取っていても、低速タイプで必要とする性能(例えば高電圧大振幅やドライバの禁止機能等)を備える必要があり、高速性能を直接的に実現するさまたげと40)もなっていた。

【0025】一方イベントベースにより試験パターンを形成する場合には、メモリに蓄積したセット・リセットのデータとそのタイミングデータを読み出すのみでなく、そのハードウェアやソフトウェアの構成は極めて単純である。また各ピンがサイクルではなく、イベントの有無として独立に動作できるため、異なる機能や周波数レンジのテストパターンを同時に形成することができる。

【0026】上述のように、本発明の発明者等はイベント方式の半導体試験システムを提案している。この方式50)

ではハードウエアの構成もソフトウエアの内容も極めて単純となるため、異なる性能の試験回路が混在してもシステム全体として機能できる。またテストピン間が相互に独立して動作できるので、異なる機能や周波数レンジのテストを同時に平行して実施することができる。

【0027】

【発明が解決しようとする課題】したがって、本発明の目的は、テストピンに応じて異なる性能の試験回路をモジュール形式で組み合わせて構成することにより、アナログ機能とデジタル機能の混在した被試験デバイスについて、そのアナログ機能とデジタル機能を同時に平行して試験することができる半導体試験システムを提供することにある。

【0028】本発明の他の目的は、異なるピン数や性能のモジュールを自由に組み合わせてテスタ本体（テストヘッド）に組み込めるように、テスタ本体とモジュールとの接続部分の仕様を標準化した半導体試験システムを提供することにある。

【0029】本発明のさらに他の目的は、複数の異なる性能のテスタモジュールを組み合わせることにより、異なる種類の複数の被試験デバイスまたは複数の機能ブロックの試験を同時に実施できる半導体試験システムを提供することにある。

【0030】本発明のさらに他の目的は、複数の異なる性能のテスタモジュールを組み合わせることにより、被試験デバイスで必要とする試験を全体として低コストで実現できるとともに、将来の機能の向上を実現できる半導体試験システムを提供することにある。

【0031】

【課題を解決するための手段】本発明の半導体試験システムは、2以上の異なる種類の性能を有するテスタモジュールと、その異なる種類の性能を有する2種以上のテスタモジュールを2個以上組み合わせて搭載するテストヘッドと、そのテストヘッド上に設けられ、テスタモジュールと被試験デバイスを電気的に接続する手段と、被試験デバイスがアナログとデジタルの混成ICのときはその混成ICに対応した付加回路と、そのテストヘッドに搭載された上記テスタモジュールとシステムバスを介して通信することにより、システム全体の動作を制御するホストコンピュータとにより構成される。例えばテスタモジュールの一方の性能は高速度で高タイミング確度であり、他方の性能は低速度で低タイミング確度である。

【0032】また本発明の半導体試験システムにおいては、上記テスタモジュールは複数のイベントテスタボードからなり、それぞれそのイベントテスタボードは、ホストコンピュータからの指令に基づき各ボードから対応する被試験デバイスピンにテストパターンを与えその被試験デバイスからの出力信号の検証を行う。

【0033】このように、本発明における半導体試験シ

10 (5) 8  
システムは、完全なモジュール化が達成できるので、被試験デバイスの種類や試験目的等に応じた柔軟な構成とすることができる。このため被試験デバイスがミクストシグナル集積回路（アナログとデジタルの混成した集積回路）であっても、そのアナログ部分とデジタル部分を並列に同時に試験することができる。また被試験デバイスがロジックのみの高速ICであっても、現実に高速動作をしているピンは限られており、したがって現実の試験システムに必要な性能としては、少数のテストピンのみが高速であればよい。本発明の半導体試験システムでは、テストヘッドとテスタモジュールの接続部の仕様が標準化され、その仕様に準じたインターフェースを有するテスタモジュールをテストヘッド内のどの位置にも搭載可能である。

15 20 25 30 35 40 45 50 55 60 65 70 75 80 85 90 95  
【0034】また本発明の半導体試験システムでは、テスタモジュール（テスタボード）をテスト実行に必要な情報を全て有するイベント形式で構成している。したがって、従来方式で必要とした各テストサイクルの開始を示す同期信号やその同期信号に同期して動作するパターン発生器等を必要としない。このため各テストピンが独立して動作可能となり、上述のように、異なる性能のテスタモジュールを混在させて1つのシステムとして機能させることができるとなる。またアナログとデジタルのように異なる種類の試験を同時に実行できる。

【0035】さらにイベント形式のテスタ構成とすることにより、必要とするハードウエア量を大幅に減少でき、かつ各モジュールを制御するためのソフトウェアは大幅に単純化される。このため、全体としての物理的装置を小型化でき、したがってコストの低下や設置フロアスペースの減少、それらに伴う各種費用の削減が実現できる。

【0036】さらに本発明の試験システムは、電子設計自動化（EDA）手法による設計の段階で得られた被試験デバイスの論理シミュレーションデータを直接的に使用してテストパターンを形成し、その被試験デバイスの試験を実行できる。このため本発明の半導体試験システムは、デバイスの設計から検証までのターンアラウンドタイムを大幅に短縮でき、試験コストの低下と試験効率の向上を実現できる。

【0037】

【発明の実施の形態】本発明の実施例を第4図-1第10図を参照して説明する。第4図のブロック図は、本発明の半導体試験システムによりアナログ・デジタル混成集積回路（ミクストシグナルIC）を試験する場合の概略構成例を示している。この発明の半導体試験システムでは、テストヘッド（テスタ本体）にモジュール化したテスタ（以後「テスタモジュール」）を複数個自由に搭載できるように構成している。テスタモジュールは例えば同一のモジュールが必要なピン数に応じて複数搭載することも、異なる性能、例えば高速モジュールHSMと

低速モジュールLSMを必要に応じて組み合わせることも可能である。

【0038】後で第6図および第7図に基づいて説明するが、この各テスタモジュールには複数、例えば8枚の、イベントテスタボード43が搭載されている。また各イベントテスタボードには複数のテスタピン、例えば32ピンに相当するイベントテスタ66が32個搭載されている。したがって第4図の例では、イベントテスタボード43により被試験デバイスのアナログ部分を担当し、他のテスタボードで被試験デバイスのデジタル部分を担当している。

【0039】第4図の試験システムの概略を説明する。この例では、複数のイベントテスタボード43が、ホストコンピュータであるテスタコントローラ41によりシステムバス64を通して制御される。上述のようにイベントテスタボードは例えば8枚が1個のテスタモジュールに格納されている。また第4図では示されていないが、通常そのようなテスタモジュールを2個以上用いて試験システムを構成する。

【0040】この構成において、イベントテスタボード43は被試験デバイス19にテストパターン（試験信号）を与え、その結果としての被試験デバイスの応答信号を評価する。被試験デバイスのアナログ機能の試験のために、DA変換器やAD変換器あるいはフィルタ等の付加回路48が必要に応じて用いられる。

【0041】各イベントテスタボード43は、例えば32チャンネルのイベントテスタ66<sub>1</sub>～66<sub>2</sub>とインターフェース53、プロセッサ67およびメモリ68により構成されている。各イベントテスタは1のテスタピンに対応し、その内部構成は同一ボード内ではそれぞれ同一である。この例では各イベントテスタ66は、イベントメモリ60、イベント実行ユニット47、ドライバコンパレータ61および試験結果メモリ57により構成されている。

【0042】イベントメモリ60にはテストパターンを形成するためのイベントデータが格納されており、このイベントデータを用いてイベント実行ユニット47によりテストパターンが形成される。テストパターンはドライバコンパレータ61を経由して被試験デバイスに与えられる。被試験デバイスの入力ピンがアナログ入力である場合には、上述した付加回路48によりテストパターンをDA変換器によりアナログ信号に変換して被試験デバイスに入力する。被試験デバイス19の出力信号はドライバコンパレータ61により期待値と比較されて、その結果が試験結果メモリ57に格納される。被試験デバイスの出力信号がアナログ信号の場合は、必要に応じて付加回路48内のAD変換器によりデジタル信号に変換する。

【0043】第5図は、各イベントテスタボード43内のイベントテスタ66の構成例をより詳細に示すプロッ

ク図である。このイベント方式による半導体試験装置の詳細については、上記の米国特許出願のほか、同一譲受人による米国特許出願番号09/259401にも詳述されている。第5図において第4図と共通部分は同一符号で示している。

【0044】インターフェース53とプロセッサ67は、システムバス64を経由してテスタコントローラ（ホストコンピュータ）41に接続される。インターフェース53は、例えば被試験デバイスのピンに対応するイベントテスタの割り当てを行うために、イベントテスタボード内のレジスタ（図示せず）にテスタコントローラ41からのデータを書き込む際に用いる。例えばホストコンピュータからグループ指定アドレスがシステムバス64に出された場合に、そのアドレスを解読して自己のテスタ内のレジスタへデータの書き込みを可能にする。

【0045】プロセッサ67は例えば各イベントテスタボード毎に設けられ、ボード内部の動作、例えばイベント（テストパターン）の発生、デバイスピンの出力信号の検証、フェイルデータの収集等を制御する。プロセッサ67は各ボードごとに設けても良いし、複数のボード単位で備えても良い。またプロセッサ67はボードに備える必要は必ずしもなく、テスタコントローラ41から各イベントテスタボードを直接的に制御してもよい。

【0046】アドレス制御部58は、例えば単純な形態としてはプログラムカウンタであり、この図の場合、フェイルメモリ57やイベントメモリ60のアドレスを制御している。イベントタイミングデータは、テストプログラムとして、ホストコンピュータからイベントメモリ60に転送される。

【0047】上記のように、イベントメモリ60は、各イベント（1から0、0から1の変化点）のタイミングを現すイベントタイミングデータを格納する。例えばイベントタイミングデータ中の基本クロック周期の整数倍のデータと、タイミングデータ中の基本クロック周期の端数データとに分けて格納している。好ましくはこのようなタイミングデータは、圧縮されてイベントメモリ60に格納される。

【0048】第4図のイベント実行ユニット47は第5図の例では、デコンプレッション・ユニット62、タイミングカウント・スケーリング63、およびイベント発生器164により構成されている。デコンプレッション・ユニット62は、イベントメモリ60からの圧縮されたタイミングデータを伸張（復元）させる。タイミングカウント・スケーリング63は、イベントタイミングデータを加算あるいは倍率変更して、各イベントのタイミングを所定の基準時間からのタイミング（遅延時間）としてあらわす。

【0049】イベント発生器164は、その結果としてのタイミングデータにより、テストパターンを発生し、ドライバコンパレータ61を経由して、被試験デバイス

19に与える。被試験デバイスの応答を検証することにより、デバイス19の所定ピンの試験が実行される。ドライバコンパレータ61は、第4図のように、主として対応するデバイスピンに与える試験パターンを駆動するドライバと、デバイスピンからの応答出力信号を受けてその電圧値を判定し、期待値と比較するためのコンパレータで構成される。

【0050】以上、イベントテスタの構成概要を説明した。このテスタでは被試験デバイスへの入力信号およびその出力比較は、イベント形式で取り扱われている。上述のようにイベント形式では、入力信号や出力比較信号の変化情報はアクション情報（セット・リセット）と時間情報（基準点からの時間）により構成されている。

【0051】従来技術による試験システムでは、イベント形式で必要とするメモリ容量を低減するためにサイクルベースを採用していた。サイクルベースでは、上記時間情報をサイクル情報（同期信号）と遅延時間情報として、上記アクション情報を波形モードとパターンデータとして構成している。この場合、遅延時間はそのデータ数に制限があり、またパターンデータを柔軟に発生させるためにはループやサブルーチンのような機能を多用する必要があった。したがって、全体として複雑な構成と動作が必要であった。

【0052】本発明のイベントテスタでは、従来のサイクルベースの試験システムのような複雑な構成や動作を要しないので、テストピンの増加や異なる性能のテストピンの混在が容易に実現できる。一方、イベントテスタは大きなメモリ容量を必要とするが、メモリが急速に高密度化低価格化する現在、メモリ容量の増大はさほど重要ではない。

【0053】上述のように、イベントテスタは個々のテストピン毎に、あるいは所定数のテストピンのグループ毎に独立した試験動作ができる。このためアナログ信号とデジタル信号の混在した（ミクストシグナル）被試験デバイスの試験のように、異なる種類の試験を必要とする場合であっても、それらの試験を同時に平行して実行することができる。これら複数の異なる試験の開始や終了タイミングについても独立して設定することができる。

【0054】第6図は、本発明によるテスタモジュールをテストヘッドに組み込むことにより異なる性能にグループ分けされたテストピンを有する半導体試験システムを構成するための概念図である。

【0055】テストヘッド124には複数のテスタモジュールが、例えばそのテストヘッドに結合されるテストフィックスチャ127のピン数や被試験デバイスの種類やピン数に応じて組み合わされる。後述のように、テストフィックスチャ127とテスタモジュールのインタフェースはその仕様を標準化しておき、テスタモジュールをテストヘッド内のどの位置に組み込むことも可能とする。

【0056】テストフィックスチャ127は、例えばポゴピンのような伸縮可能なコネクタを多数搭載し、テスタモジュールとパフォーマンスボード128を電気的かつ機械的に結合する。被試験デバイス19は、パフォーマンスボード128上のテストソケットに挿入されて、半導体試験システムとの電気的接続がされる。第4図に示した、アナログ試験用の付加回路48は、例えばパフォーマンスボード128上に被試験デバイスの仕様に応じて設けられる。

【0057】各モジュールは所定のテストピン数のグループとされる。例えば1個の高速モジュールHSMには128ピン（チャンネル）分のボードが搭載され、1個の低速モジュールLSMには256（チャンネル）ピン分のボードが搭載される。これらの数値は単なる例であり、より小さなピン数あるいは大きなピン数のグループでもよい。第7図の例では、テスタモジュールの基本ユニットとして256チャンネルで構成され、イベントテスタボード43が8枚収納される。各イベントテスタボード43には32個イベントテスタが構成されている。

【0058】テスタモジュール内の各ボードは、上述したようなイベントテスタとして構成され、被試験デバイス19の対応するピンにテストパターンを、パフォーマンスボード128を経由して与える。またテストパターンに対する被試験デバイス19の応答出力がパフォーマンスボード128を経由して対応するテスタモジュール内のボードに与えられ、例えば期待値と比較されてその正否が判定される。

【0059】各テスタモジュールにはインタフェース（接続部）126が設けられている。この接続部126はテストフィックスチャ127の標準仕様に合致するように構成される。例えば対象とするテストヘッドに用いられるテストフィックスチャ127の接続ピンの構造、インピーダンス、ピン間距離（ピンピッチ）あるいは相対位置等が標準仕様化される。この標準仕様にマッチするインターフェイス126をテスタモジュールに備えることにより、テスタモジュールの自由な組み合わせにより試験システムを構成できる。

【0060】このような本発明の構成により、被試験デバイスに合った最適のコストパフォーマンスの試験システムを構成できる。また試験システムの性能を向上させる場合でも、一部のテストモジュールを交換することにより達成される場合が多いので、全体として試験設備の長寿命化が実現できる。さらに複数の異なる性能のモジュールの混在が可能なため、必要な性能を該当するモジュールで直接的に実現することができるので、試験システムの性能向上が容易になる。

【0061】第8図は、本発明の半導体試験システムにより、アナログとデジタルの混成した被試験デバイス19内の異なる試験を並列に実行する概念を示すブロック図である。この例において被試験デバイス19は、A

D変換回路、ロジック回路、D A変換回路を有している。上述のように、本発明の半導体試験システムは、例えば所定数テストピンのグループ毎に独立した試験動作ができるので、このピングループをこれらの被試験回路に割り当てて、並列に試験できる。

【0062】第9図(A)と第9図(B)は、従来の半導体試験装置によるミクストシグナルICの試験プロセスと、本発明の半導体試験システムによるミクストシグナルICの試験プロセスを比較して表示した概念図である。先に説明したように、従来の半導体試験装置により、第8図のようなミクストシグナルICを試験する場合、1の試験を終了後に他の試験を実行するというプロセスを踏む必要がある。このため、試験を完了するまでは、第9図(A)に示すように、各試験時間の総和の時間が必要となる。

【0063】これに対し、本発明の半導体試験システムにより、第8図のミクストシグナルICを試験する場合には、第9図(B)に示すように、AD変換回路、ロジック回路、D A変換回路について、それらを同時に並列に試験することができる。このため、その試験に要する時間を大幅に短縮できる。なお第9図の例において、AD変換回路やD A変換回路の試験の後に、その測定値を所定式により演算等を行って評価することが一般的であるため、ソフトウェアによる演算(コンピュテーション)時間を加えている。

【0064】第10図に本発明による半導体試験システムの外観図例を示す。第10図において、ホストコンピュータ(メイン・システム・コンピュータ)41は、例えばグラフィック・ユーザ・インターフェース(GUI)を有するワークステーションであり、ユーザインターフェースとして機能するとともに、試験システム全体の動作制御を行う。ホストコンピュータ41と試験システム内部のハードウェアは、システムバス64(第4図および第5図)により接続される。

【0065】本発明によるイベントテスタは、従来のサイクルベースで構成された半導体試験システムと異なり、パターン発生器やタイミング発生器等に相当するハードウェアを要しない。したがって、モジュール化したイベントテスタを全てテストヘッド(テスト本体)124内に収容する構成として、全体の物理的サイズを大幅に縮小できる。

【0066】以上のように、本発明の半導体試験システムは、テストピン間で相互に独立した動作が可能であり、所定テストピンのグループと他のグループ間で異なる被試験デバイスや被試験ブロックを同時に担当することができる。したがって、本発明の半導体試験システムにより、被試験デバイス内のアナログ回路とディジタル回路の試験を同時に平行して実施できる。

【0067】好ましい実施例しか明記していないが、上述した開示に基づき、添付した請求の範囲で、本発明の

精神と範囲を離れることなく、本発明の様々な形態や変形が可能である。

【0068】

【発明の効果】上述のように本発明の半導体試験システムでは、テスタモジュール(テスタボード)をテスト実行に必要な情報を全て有するイベント形式で構成している。したがって、従来方式で必要とした各テストサイクルの開始を示す同期信号やその同期信号に同期して動作するパターン発生器等を必要としない。このため各テストピンが独立して動作可能となり、上述のように、アナログやディジタルのような異なる種類のテストが同時に実施できる。

【0069】本発明の半導体試験システムでは、完全なモジュール化が達成できるので、被試験デバイスの種類や試験目的等に応じた柔軟な構成とすることができる。また必要とするハードウェア量を大幅に減少でき、かつ各モジュールを制御するためのソフトウェアは大幅に単純化される。このため上述のように、異なる性能のテスタモジュールを混在させて1つのシステムとして機能させることが可能となる。また第6図に示すように、全体としの物理的装置を小型化でき、したがってコストの低下や設置フロアスペースの減少、それに伴う各種費用の減少が実現できる。

【0070】さらに本発明の試験システムは、電子設計自動化(EDA)手法による設計の段階で得られた被試験デバイスの論理シミュレーションデータを直接的に使用してテストパターンを形成し、その被試験デバイスの試験を実行できる。このため本発明の半導体試験システムは、デバイスの設計から検証までのターンアラウンドタイムを大幅に短縮できる、試験コストの低下と試験効率の向上を実現できる。

【図面の簡単な説明】

【図1】従来技術における半導体試験システム(LSIテスト)の基本的構成例を示すブロック図である。

【図2】従来技術における半導体試験システムの一般的な外観を示す概念図である。

【図3】従来の半導体試験装置において、サイクルベースによりテストパターンを形成するためのデータ記述例と、それと同一のテストパターンをイベントベースでテストパターンを形成するためのデータ記述例を比較するための図である。

【図4】本発明による半導体試験システムにより、ミクストシグナルIC(混成集積回路)を試験する場合の、試験システムの構成例を示すブロック図である。

【図5】本発明によるイベントベースで形成され、テスタモジュールに組み込まれるイベントテスタボード内に構成される各イベントテスタの回路構成例を示すブロック図である。

【図6】本発明によるテスタモジュールをテストヘッドに組み込むことにより、異なる性能にグループ分けされ

たテストピンを有する半導体試験システムを構成するための概念図である。

【図7】本発明による半導体試験システムにおいて、1のテストモジュールが複数のイベントテスタボードで構成される例を示すブロック図である。

【図8】被試験デバイスがアナログ信号とデジタル信号の混成したミクストシグナルICである場合のその内部構成例と、その被試験デバイスを本発明の半導体試験システムで並列に試験するための概念を示すブロック図である。

【図9】(A)および(B)は、従来の半導体試験装置によるミクストシグナルICの試験プロセスと、本発明の半導体試験システムによるミクストシグナルICの試験プロセスを比較して表示した概念図である。

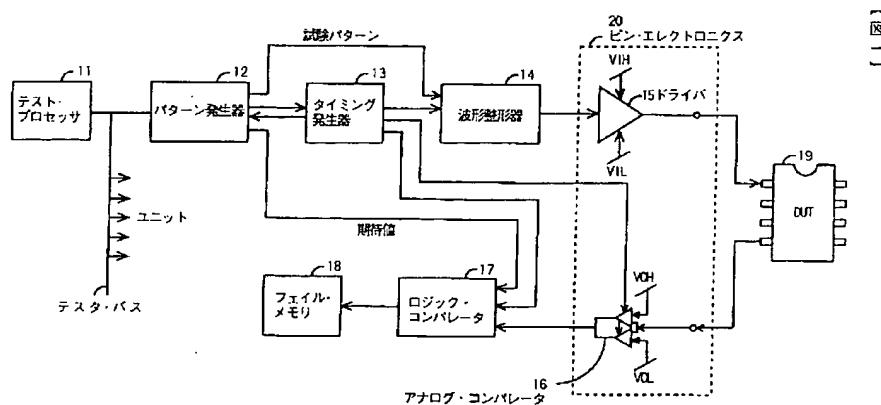
【図10】本発明におけるモジュール形式半導体試験シ\*

\* ステムの外観を示す概念図である。

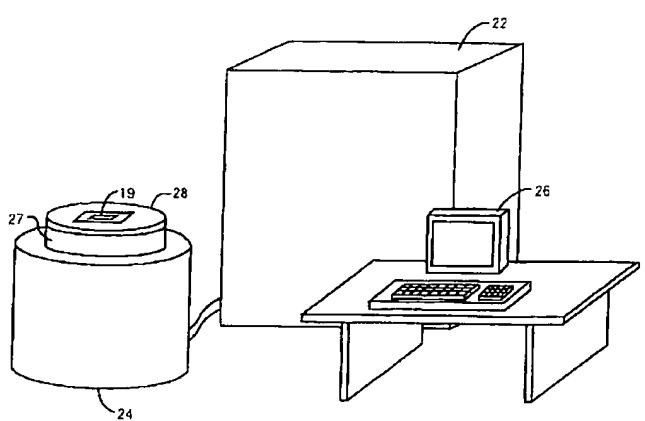
【符号の説明】

1 9	被試験デバイス
4 1	テストコントローラ
4 3	イベントテスタボード
4 7	イベント実行ユニット
4 8	付加回路
5 3	インターフェース
5 7	試験結果メモリ
10 6 0	イベントメモリ
6 1	ドライバコンパレータ
6 4	システムバス
6 6	イベントテスタ
6 7	プロセッサ
6 8	メモリ

【図1】

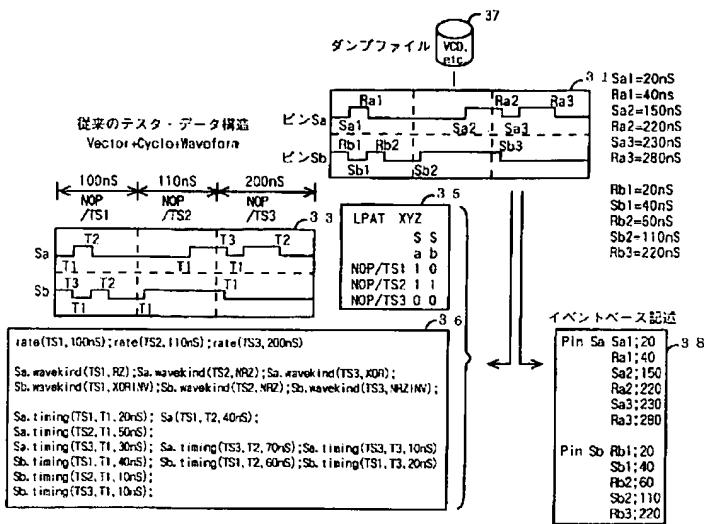


【図2】

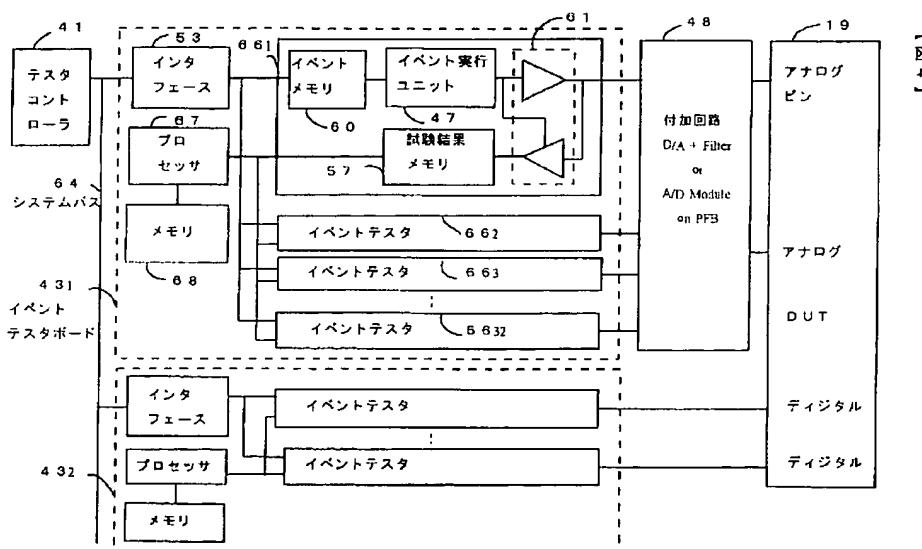


【図2】

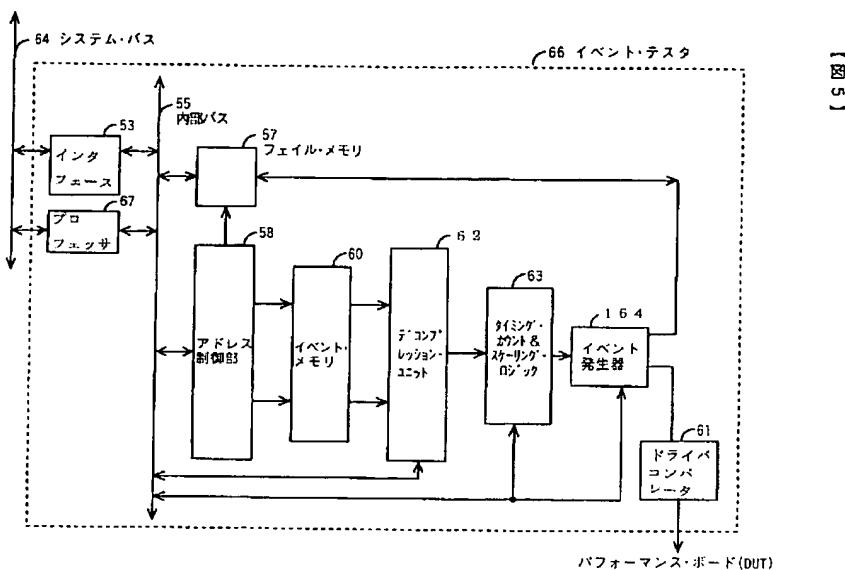
【図3】



【図4】



【図5】

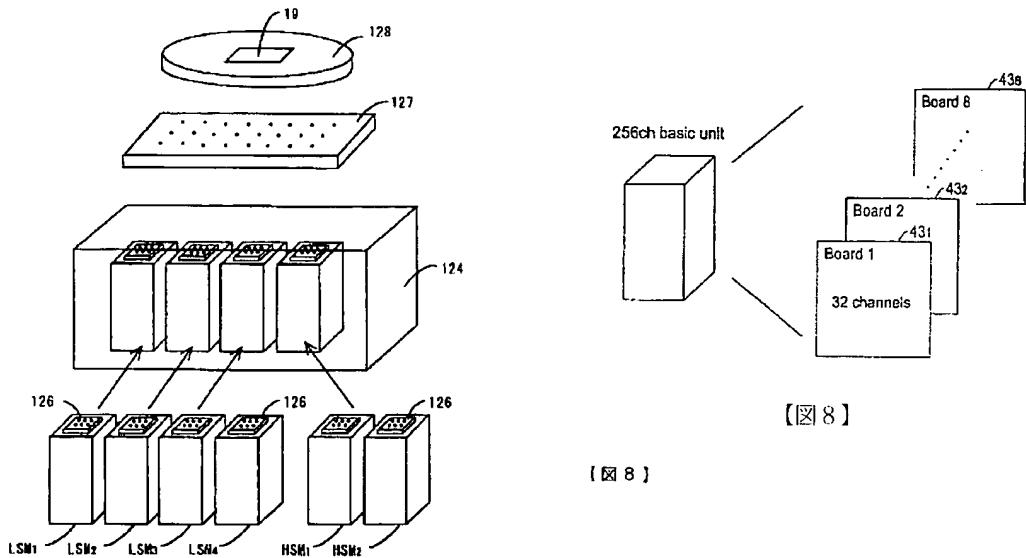


【図6】

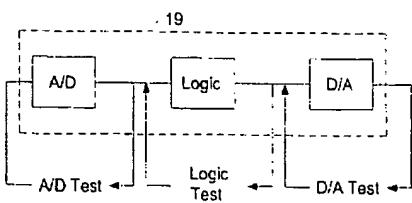
【図6】

【図7】

【図7】

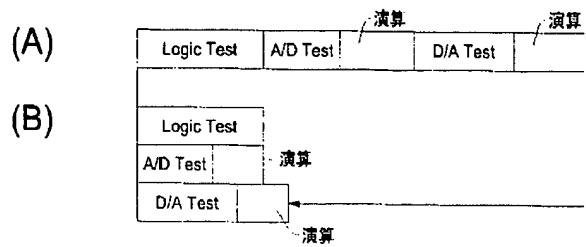


【図8】



【図9】

【図9】



【図10】

【図10】

